

(11) Publication number : 10-190751

(43) Date of publication of application : 21.07.1998

51) IntCL

H04L 25/49

21) Application number : 08-344866

(71) Applicant : NEC CORP

22) Date of filing : 25.12.1996

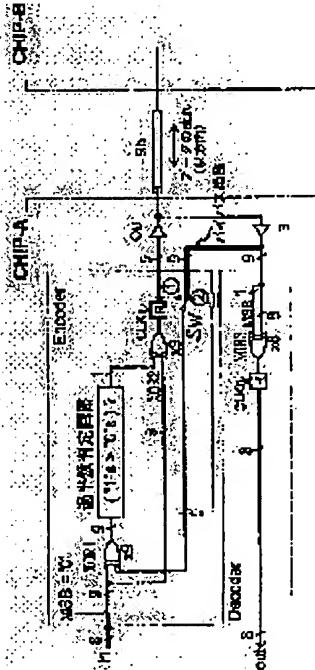
(72) Inventor : NAKAMURA KAZUYUKI

## 54) BIDIRECTIONAL TRANSITION NUMBER REDUCTION INTERFACE CIRCUIT

## 57) Abstract:

**PROBLEM TO BE SOLVED :** To reduce noise and power by turning the output of an input circuit to the input signals of an encoding circuit while receiving the signals of an external bus.

**SOLUTION :** The output of an input buffer circuit 1B for receiving the signals from a bus is branched, a switch SW is connected to a side (2) and it is bypassed to the input of the XOR 1 of the encoder circuit A bypass route functions while a CHIP-A receives data from the bus. Thus, the signals on the bus are applied to the input of the XOR 1 of the encoding circuit even during reception and the code of a smaller transition number for a received final code is outputted in outputting the data next. When the bus is driven from the side of the CHIP-A, the SW is connected to the side (1) and a signal route is switched so as to apply the signals inside the output register R of itself to the input of the XOR 1. When the CHIP-A itself does not drive the bus, the SW is connected to the (2) so as to perform bypassing.



## LEGAL STATUS

Date of request for examination] 25.12.1996

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

Date of final disposal for application]

Patent number] 3006524

Date of registration] 26.11.1999

Number of appeal against examiner's decision of  
rejection]Date of requesting appeal against examiner's decision  
of rejection]

Date of extinction of right]

(19)日本国特許庁 (J.P)

# (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-190751

(43)公開日 平成10年(1998)7月21日

(51)Int.Cl.<sup>8</sup>

識別記号

H 04 L 25/49

F I

H 04 L 25/49

C

審査請求 有 請求項の数2 OL (全9頁)

(21)出願番号

特願平8-344866

(22)出願日

平成8年(1996)12月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 中村 和之

東京都港区芝五丁目7番1号 日本電気株  
式会社内

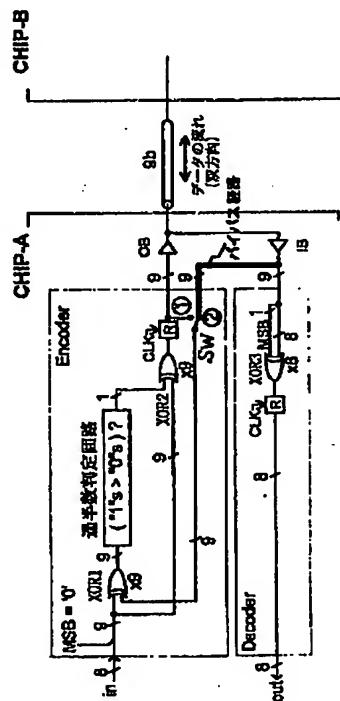
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 双方向遷移数削減インターフェース回路

(57)【要約】

【課題】 チップ間を結ぶ外部バス上に現在出力されている信号と、次に外部バスに出力する信号を、ビット単位でどの位相違しているかを求め、過半数相違している場合、次に出力する信号を反転させると、遷移数は半数以下にできる。これによってノイズとパワーを削減できる。しかしチップ間で信号の流れを双方方向化した場合、流れを切り替える時、相手のチップでは、前述の、現在出力されている信号を知ることができないので、かえってノイズが大きくなる。

【解決手段】 エンコーダとデコーダを同一チップに備え、デコードで受信中の信号をエンコーダの入力へバイパスする回路を設ける。信号の切り替わり時でも、最後に受信した信号に対して遷移数の少ない信号を出力できる。また遷移数削減のコーディング方式を、1の数を減らすコーディングと、1の数を遷移数に変換するコーディングの2段階に分けると、バイパス経路が短くなり高速化する。



下)に制限できる。ちなみに、本発明者らが、前記学会において、発表した過半数判定回路の回路例を図4に示す。

【0006】9bの入力信号( $X_0, X_1, \dots, X_8$ )のそれぞれのビットの正転信号( $x_0, x_1, \dots, x_8$ )と反転信号( $x_{0\_}, x_{1\_}, \dots, x_{8\_}$ )を、演算増幅器型の図4の回路の入力端子に印加することで、コードに含まれるハイレベルの数分だけ、正転入力側のnMOSFET(MN10, MN11, ..., MN18)をオンさせ、また“0”的数の分だけ、反転入力側のnMOSFET(MN10\_, MN11\_, ..., MN18\_)をオンさせることで、“1”と“0”的数の比較を行い、正転側と反転側のMOSFETのトータルのオン抵抗の差により、コード中の“1”的数と“0”的数のどちらが多いかの判定を行うものである。このコーディング法においては、この過半数判定回路部が、最も複雑な回路で、また、最も処理に時間を要するものである。

【0007】一方、図5において、信号を受信するCHIP-B側のデコーダ部(Decoder)では、受信した9bの信号のMSBをチェックし、MSBが“0”であれば、下位8bの信号をそのまま用い、MSBが“1”となつていれば、下位8bの全てのビットを反転させることで、原信号を取り出すことができる。このMSBにより、下位8bの信号を反転/非反転させる処理は、8個のXOR3回路により行うことができる。この方法では、バスの幅は9bと、冗長ビットの1b分だけ増えてしまうことになるが、同時に遷移するビット数を、半数以下に制限できるので、同時スイッチングノイズや、スイッチング時に発生するパワーを、最大で半分に削減することができる。

#### 【0008】

【発明が解決しようとする課題】しかるに、この方法では、CHIP-A側からCHIP-Bへ單方向でデータが流れる場合は、A側で、現在出力中のデータを出力レジスタに保持しているために、それを参照して、遷移数の少ないコードを連続して出力できるが、しかし、同じバスラインを、データがBからAに流れるケースも存在する双方面バスの場合には、BからAへの信号の流れから、AからBへの信号の流れに変わるようなときに、コーディングがつながらず、この瞬間、ノイズやパワーの削減効果が得られない。この現象を図6を用いて説明する。

【0009】図6は、図5の回路を双方面バスに用いるために、単純に、CHIP-AとCHIP-Bの双方にエンコーダ回路とデコーダ回路を搭載し、双方面バスに接続したものである。この双方面バス構成では、たとえば、CHIP-Aは、CHIP-Bから、信号を受信し、その後に、CHIP-Bに対して信号を送るという、信号方向の切り替わりを考慮する必要がある。CH

I P-Bから連続で、信号列を受信している状態では、CHIP-B側で、直前のサイクルでバス上に出力されていたコードに対して、遷移数の少ないコードに適切にエンコードが行われているために、送られてくる信号列の間では、最大でも、ビット数の半数以下のスイッチングしか起きない。しかし、信号列が終わり、次にCHIP-A側から信号をCHIP-Bへ送信しようとするとき、CHIP-Aのエンコーダ回路では、直前サイクルのバス上のコードを知ることができないために、この時にはCHIP-A側では、遷移数が半数以下となるようなコードを作成できず、結局、最悪では、9b全てのスイッチングが起こり、何もコーディングを行わず8bの信号をそのまま伝送する場合よりも、むしろ発生するノイズは大きくなってしまう。

【0010】本発明の目的は、コーディング法の適用によりノイズとパワーの削減を図ったインターフェースの、双方化を実現するものである。

#### 【0011】

【課題を解決するための手段】第1の発明は、複数のビットからなるクロック信号に同期したバスの信号に、冗長ビットを付加して、直前の外部バスへの出力信号に応じて信号遷移数を削減するコーディングを行うエンコード回路と、信号遷移数が削減されて外部へ出力するコードを外部バスへ出力するための駆動回路と、前記外部バスの信号を取り込む入力回路と、前記入力回路から出力されたコードから、原信号を復元するデコード回路を同一チップ上に備え、前記外部バスの信号を受信中に、前記入力回路の出力を、前記エンコード回路の入力信号とすることが可能な双方面遷移数削減インターフェース回路である。

【0012】第2の発明は、複数のビットからなるクロック信号に同期したバスの信号に、冗長ビットを付加して、ハイレベルの出現比率を低下させるコーディングを行うエンコード回路と、前記エンコード回路の出力を、1サイクル前のタイミングで出力されている信号との排他的論理和をとることで、遷移数が削減されたコードに変換する信号変換回路と、前記信号変換回路から出力されるコードを、外部バスへ出力するための駆動回路と、前記外部バスの信号を取り込む入力回路と、この入力回路から出力された遷移数が削減されたコードを、再び、ハイレベルが削減されたコードへ復元する信号復元回路と、ハイレベルが削減されたコードから、原信号を復元するデコード回路を同一チップ上に備え、前記外部バスからの信号を受信中に、前記入力回路の出力を、遷移数が削減されたコードから、ハイレベルが削減されたコードを得る信号復元回路の入力とすることが可能な、双方面遷移数削減インターフェース回路である。

【0013】本発明によれば、Decoder側で受信中の信号を、Encoder側へバイパスする回路を設けることで、信号方向の切り替わり時においても、直前

によりノイズとパワーの削減を図ったインターフェースの双方向化、およびその高速化を実現するという目的が達成される。

【図面の簡単な説明】

【図1】第1の発明の実施例で、双方向遷移数削減コーディング回路である。

【図2】従来の單方向の遷移数削減コーディング回路である。

【図3】第2の発明の実施例で、高速双方向遷移数削減コーディング回路である。

【図4】過半数判定回路である。

【図5】従来の單方向の遷移数削減コーディング回路である。

【図6】不完全な双方向の遷移数削減コーディング回路である。

【符号の説明】

XOR、XOR1、XOR2、XOR3、XOR4 排他的論理和回路

R クロック同期のレジスター

CLK クロック信号

in 入力端子

out 出力端子

Chip-A、Chip-B 半導体チップ

Encoder、Encoder1、Encoder2  
信号交換回路

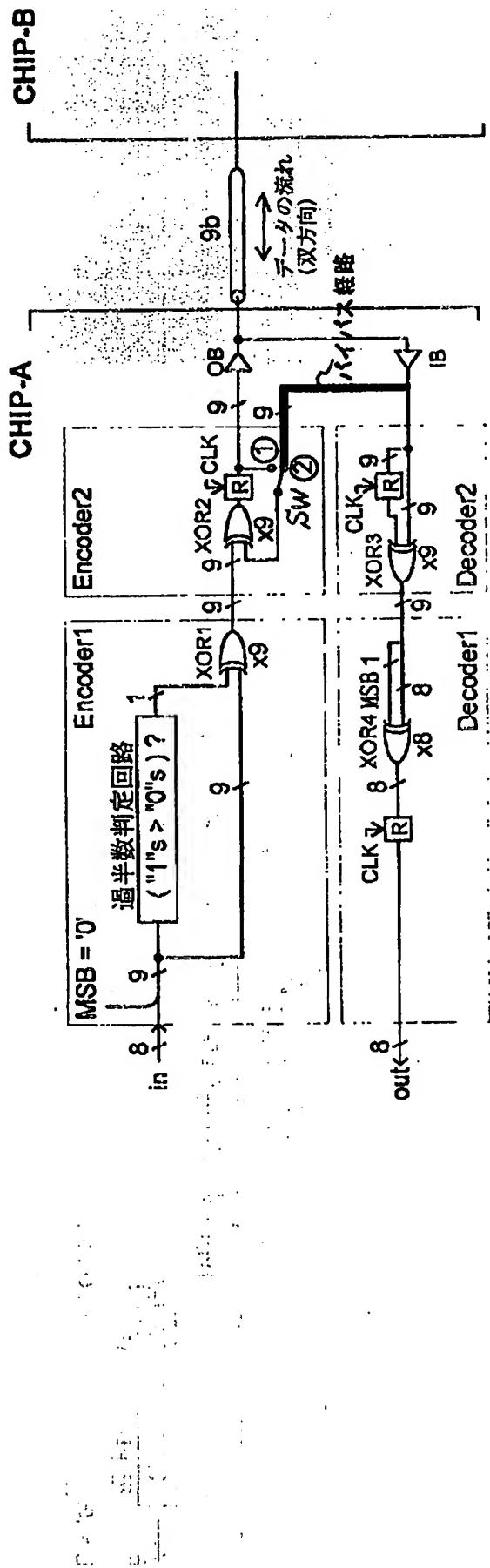
Decoder、Decoder1、Decoder2  
信号復元回路

IB 入力バッファ回路

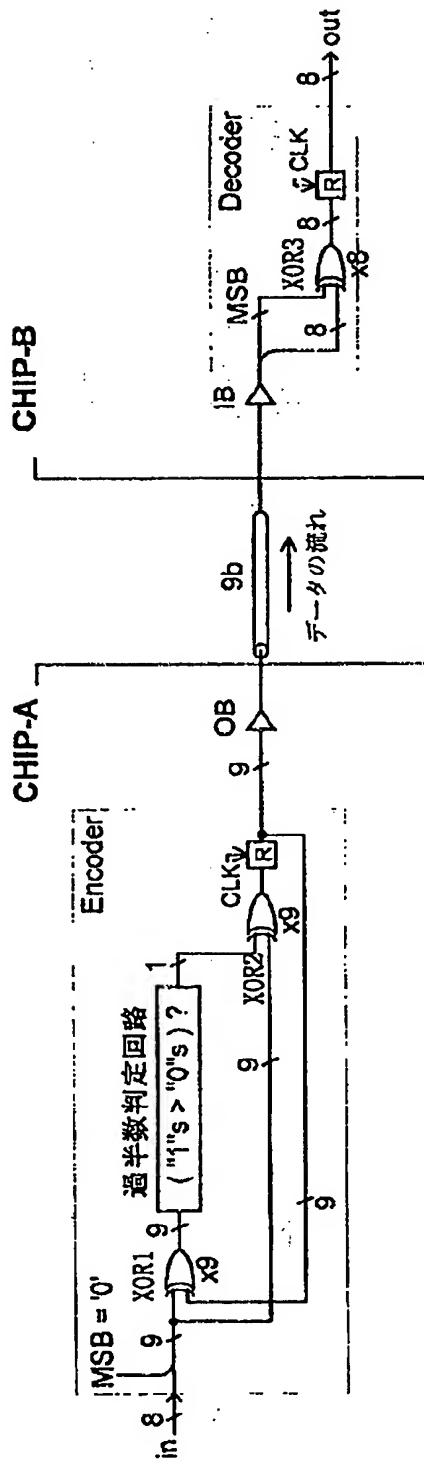
OB 出力バッファ回路

MSB バスの最上位ビット

【図3】



[図5]



【図6】

